

# Agyi tevékenység vizsgálata beültethető mikrochip segítségével



Kárász Zoltán  
A PhD disszertáció tézisei

Pázmány Péter Katolikus Egyetem  
Információs technológia és bionikai kar  
Roska Tamás Műszaki Tudományok Doktori Iskoláját

Témavezető  
Földesy Péter, Ph.D.

Budapest, 2016



## Bevezetés

Manapság az orvosbiológiai terület az egyik legdinamikusabban fejlődő része az analóg integráláramkör tervezésnek, különösen az alacsony fogyasztású implementációk beleértve az akkumulátor nélkülieket. Számos funkcionális vizsgálati esetén hosszabb mérésre van szüksége, mint amit más vizsgálati módszerek, mint az FMRI vagy EEG lehetővé tesznek. Habár a mérési eszközök hordozhatósága állat kísérletek esetén legtöbbször nem lényeges szempont, azonban az emberi kísérletek esetén fontosak a kényelmi szempontok is.

A következőkben villamosmérnöki szempontból bemutatom a jelenlegi in-vivo mérési technikákat. Már a specifikáció meghatározásánál fontos rögzíteni működése során milyen környezetbe fog kerülni az áramkör. Esetünkben a fő célunk az elektromos jelek rögzítése közvetlenül a központi idegrendszerből. Szükséges tudnunk milyen típusú jeleket fogunk rögzíteni. Mekkoraak a várt jelszintek, frekvenciák vagy épp a megengedett zaj. Hogyan torzul a jel a szöveten keresztülhaladva, miként változtatja meg maga az elektróda, illetve a beültetés követően miként változnak idővel a paraméterei.

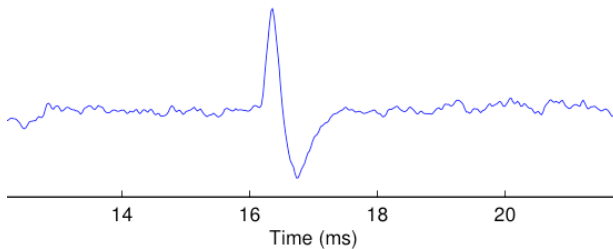
A szakirodalomban található cikkek és tanulmányok nem foglalkoztak az alacsonyfrekvenciás torzítások hatásával, azzal a feltételezéssel élve, hogy az ilyen lassú (<20 Hz) oszcillációk már nem tartalmaznak használható információt. A következőkben bemutatom a leggyakrabban alkalmazott megoldásokat és javaslatot teszek egy új architektúra használatára, aminek a segítségével optimalizálni tudjuk a zaj és torzítás értékeket alacsony frekvencián.

## Elektrofiziológias mérés

Az emberi agyban az idegsejtek alkotják az információfeldolgozás alapját. Az információ elektromos pulzusok révén terjed, amit tüskének vagy akciós potenciálnak hívunk. Az ingerületvezetés leggyakrabban mért változata az egyes idegsejtek által létrehozott elektrokémiai változás. Amikor a neuron megfelelő stimulációt kap egy másik sejttől a sejt membránja depolarizálódik ami ionáramot hoz létre a sejtközi térben. Következésképpen az extracelluláris jeleket a sejtek membránjához közeli elektromos töltések egyensúlyának hiánya okozza (Na, K, Cl). Az egysejtaktivitással kapcsolatos sejtközi térben mérhető feszültségesés nagysága ~50-500  $\mu$ V amplitúdójú és 100 Hz – 10 kHz tartományba

tehető.

Jellemzően az akciós potenciálok hullámformája két- vagy háromfázisú, ahol a pulzus szélessége tipikusan 1–1.5 ms. Az érzékelhető zaj részben a távolabbi idegsejtekből származó jelek illetve az áramkör termikus zajából ered, értéke a  $20 \mu\text{V}_{\text{rms}}$ -ot is elérheti. Köszönhetően a megkerülhetetlen elektrokémiai hatásoknak, amik az elektróda és a szövet találkozásakor jelentkeznek, a DC offset értéke 0.1-0.5 V közelében változik a mérési pontokon. A neurális tüskéken túl a fontos megvizsgálni az idegsejtek nagyobb csoportjainak aktivitását. Számos neuron szinkronizált tüzelése az elektródán lassú oszcillációként mérhető, amit helyi mezőpotenciálnak hívunk (LFP – Local Field Potential).



Árba. 1 – Jellemző felvett neurális jel

Az elektrofiziológiai mérés típusai az elektróda elhelyezése szerint:

- intracellulláris (Patch-clamp elektróda)

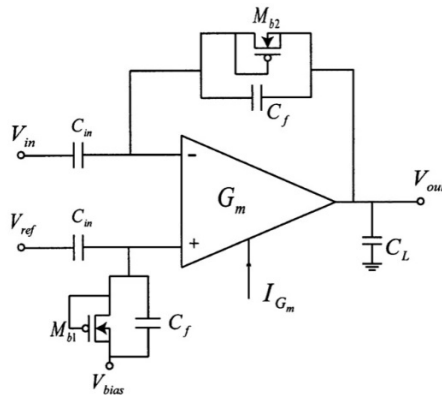
- extracelluláris
- agyfelszíni
- epidurális
- koponya (EEG)

Állatkísérletek esetén a klinikumban elfogadott standard mérési módszer az extracelluláris elvezetés, mert ez nyújtja a legjobb térbeli felbontást és jel-zaj viszonyt. Kivétel a patch-clamp típusú elektróda, amit in-vivo mérésnél körülményes lenne alkalmazni.

## Erősítő tervezés

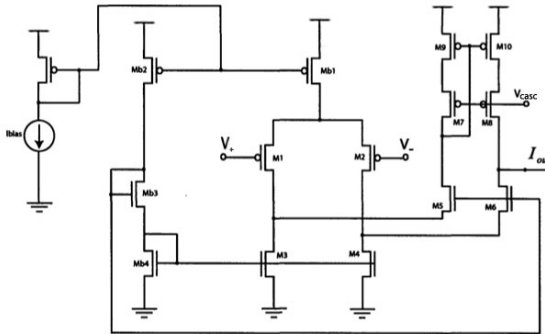
Annak érdekében, hogy rögzíteni lehessen alacsony frekvenciás neurális jeleket a hosszú időállandó nélkülözhetetlen. A tervezésnél fontos szempont a szűrő hangolhatósága, az alacsony disszipáció és kis méret. A magától érthető megoldást a chip-en megvalósított nagyméretű fizikai ellenállás és kapacitás jelentené, ami viszont túl nagy mérettel társul. Egyéb lehetséges megoldások: a MOS pszeudo ellenállás, a kapcsolt kapacitás (SC – Switched Capacitor) és a műveleti admittancia erősítő kapacitás (OTA-C – Operational Transconductance Amplifier Capacitor) alkalmazása nagyon alacsony vezetőképességgel lehetővé teszi kisméretű

kapacitás használatát.



Ábra. 2 – Visszacsatoló erősítő magasszintű sémája

Lineáris régióban működő MOS transistor használata a DC működési pont beállításához az előre csatolt elosztott erősítésű erősítőkben súlyos hátrányt jelent, mert a termikus zaj a lineáris régióban lévő bemeneti tranzisztorokon fog erősödni. Ami minden alacsony zajú előerősítő (LNA – Low Noise Amplifier) legkritikusabb pontja. Így ahelyett, hogy javulna az jel-zaj viszony, az előrecsatolt erősítők összességében a kívánnál nagyobb zajt visznek a rendszerbe az előfeszítő elemek miatt.



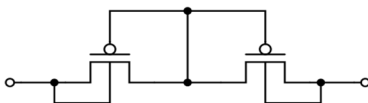
Ábra. 3 – A felhasznált erősítő sematikus felépítése

Egy visszahajtott kaszkód műveleti erősítők (ábra 3) számos előnyös tulajdonsággal rendelkezik alacsonyfrekvenciás alkalmazások esetén, ha visszacsatolt architektúrában magas zárthurkú erősítéssel használjuk. Először is a frekvenciakompenzálás egy visszacsatolt erősítővel elérhető egy egyszerű domináns pólus beiktatásával a kimeneten mivel a belső csomópontok az OTA-ban alacsony impedanciával rendelkeznek. Így a nem domináns pólus mindig a magasabb frekvencián fog megjelenni, mint a domináns pólus. Ezen kívül a kimeneti impedancia a kaszkód erősítőben nagyon magas, köszönhetően a kaszkód elrendezésű kimeneti fokozatnak, így akár egy erősítési fokozat is elég lehet, hogy elérjük a kívánt nyílthurkú erősítést. Kétségtelenül a legfontosabb előnye, hogy az



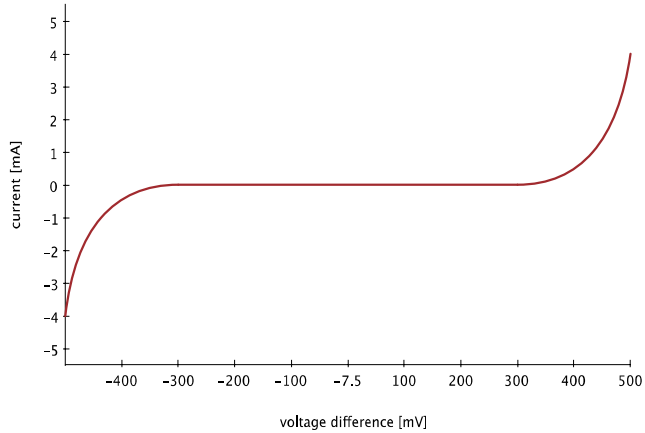
alacsonyfrekvenciás alkalmazásokban visszahajtott ágban folyó áram nagysága sokkal alacsonyabb lehet, mint a bemeneti tranzisztorokon anélkül, hogy befolyásolná az erősítő stabilitását.

### Pszeudo ellenállás-lánc (1.1)



Ábra 4 – Pszeudo ellenállás elem sémája

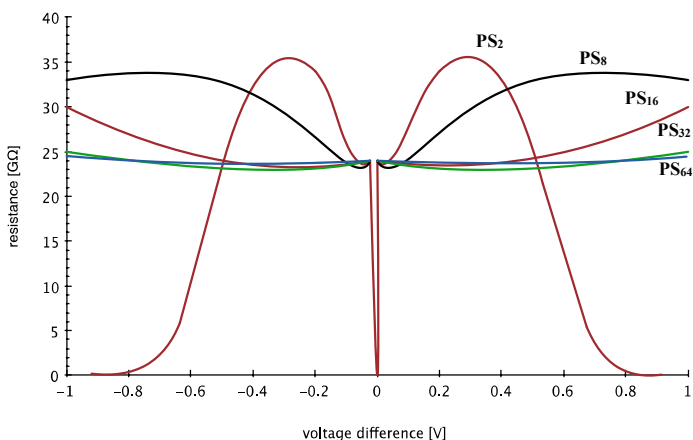
Ezen dolgozat a pszeudo ellenállásokkal (ábra 4) megvalósított hosszú időállandójú rendszerekkel foglalkozik a továbbiakban. Mivel az áramfogyasztás és helyfelhasználási mutatói jobbak a fent ismertetett többi megoldásnál. A pszeudo ellenállások kis mérettel és alacsony parazita kapacitás értékekkel rendelkeznek (fF nagyságrend), viszont a nemlineáris viselkedés, magas gyártási szórás és az LFP erősítésekor fellépő torzítás nehezíti a használatukat.



Ábra 5 – Áram feszültség kapcsolat a pszeudo ellenálláson

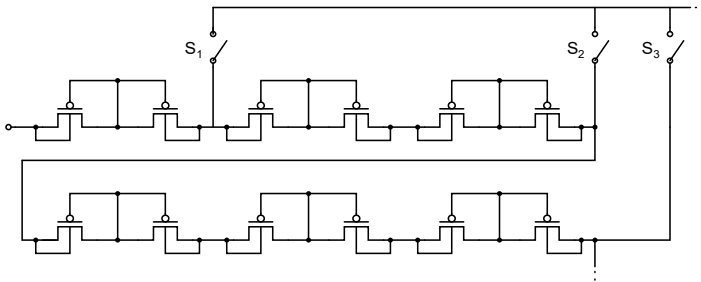
Az feszültség áram kapcsolata (ábra 5) a visszacsatolásban azt jelenti, hogy az elem valós ellenállása magas lesz kis jelek esetén és alacsony nagy jeleknél. Emiatt a visszacsatolás igazodásának sebessége is változni fog a jelek nagyságának függvényében. Az ellenállás nemlineáris változása visszacsatolási ágban azt jelenti, hogy az átviteli függvény nem lesz állandó a teljes működési időszakban. Ha az alsó vágási frekvencia eltolódik, az növelheti a rendszer torzítását. Ez a hatás jelentősen ronthatja az alacsonyfrekvenciás (<100 Hz) jelek átvitelét.

Adott specifikáció esetén megállapítható egy kompromisszum a zaj és torzítás között. Több pszeudó ellenállás soros kapcsolása segít csökkenteni a nemlineáris hatást a zaj növelése árán. A következő részben ennek elemzését mutatom be különböző elemszámú láncolás esetén. Mivel idáig máshol nem vizsgálták a fenti összefüggést ez lehetőséget ad a tézisként való megfogalmazásra is.



Ábra 6 – Ellenállás változása különböző láncolású pszeudo ellenállásokkal (PS<sub>2</sub>, PS<sub>8</sub>, PS<sub>16</sub>, PS<sub>32</sub>, PS<sub>64</sub> görbék megfelelő sorrendben) [GΩ/V]

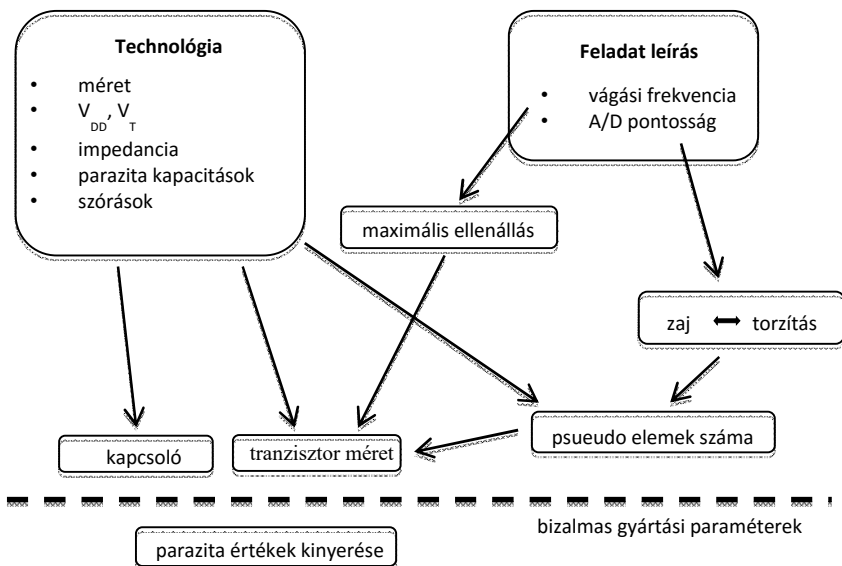
A soros kapcsolás eredményeképp csökken a torzítás megközelítőleg lineáris arányban az elemek számának növelésével. Köszönhetően, hogy az egyes elemeken arányosan kisebb feszültség esik (ábra 6).



Ábra 7 – Kapuzott pszeudo ellenállás-lánc

Lehetséges egyfajta hangolhatóságot adni az ellenállásoknak, ha kapcsolók segítségével lerövidítjük a láncot (ábra 7). Ezt a kapuzott szerkezet legalább az elvárt ellenállás nagyságára kell tervezni hozzászámolva a gyártási szórásokat. Fontos megjegyezni, hogy még a nagyszámú sorba kapcsolt pszeudó ellenállásoknak sincs lényeges területigénye illetve parazita kapacitása összehasonlítva más megoldásokkal.

Óvatosan kell eljárni a kapcsolók implementálásakor. Nyitott állapotban nagy impedancia szükséges, különben a szivárgás csökkenteni fogja a teljes lánc ellenállást. Ezért itt az általános elvekkel szemben a nyitott (OFF) állapotra kell optimalizálnunk őket.



## Munkament a pszeudó ellenállás-lánc tervezéséhez (1.2)

Ábra. 8 – Algoritmus a kapuzott psueudo ellenállások használatához

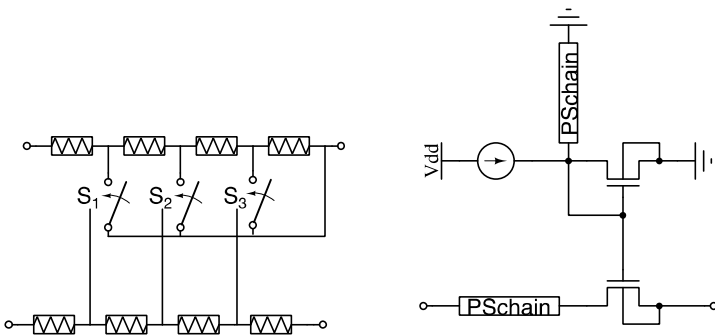
Ezen algoritmus (ábra 8) megalkotása a továbbiakban segíthet más biológia jelek erősítőinek tervezésekor különböző technológia vagy eltérő specifikáció esetén. Kiindulva a vágási frekvencia alsó határból, képesek vagyunk kiszámolni a szükséges ellenállás értékeket. Valamint a zaj torzítás arányából meghatározni szükséges psueudo ellenállás elemek számát. Az ellenállás elemek nagyságának algoritmikus számításához

szükségünk van az induktivitásuk analitikus megoldására amihez BSIM3v3 modellt használtam.

$$\frac{V_{OUT}}{V_{IN}} = \frac{(G_{BS_1} + G_{DS_1})(G_{BD_2} + G_{DS_2})}{G_{BD_2} + G_{BS_1} + G_{DS_1} + G_{DS_2} + G_{BD_2}G_{BS_1} + G_{BD_2}G_{DS_1} + G_{BS_1}G_{DS_2} + G_{DS_1}G_{DS_2}}$$

### Ön kiegyenlítés (1.3)

A következő lépés egy kvázi-automatikus megoldás kidolgozása volt, hogy működési közben az ellenállás értékét egy kívánt szinten tarthassuk. Ezzel csökkenteni tudjuk az ellenállás változását különböző határhelyzetek esetén, mint a magas vagy alacsony hőmérséklet és tápfeszültség. Az alapötlet az volt, hogy találjunk egy referencia ellenállást, amire ugyanazt a bemenetet alkalmazva fordított előjelű változást kapunk, ezzel csökkentve vagy akár megszüntetve a változás hatását.



Ábra. 9a – Szimmetria alapú kettős lánc 9b – Áramtükörrel vezérelt lánc

Az első megoldás (*ábra 9a*) egy szimmetrikus kettős lánc ahol a mester vonal hosszát tudjuk rövidíteni, ha a feszültség csökkenne. Így az ellenállás a kívánt szinten tudjuk tartani. Szükséges volt egy komparátor hozzáadása megfelelő kapcsoláshoz. Nagyobb ellenállásra kell terveznünk, hogy a határhelyzetekben fellépő csökkenést kompenzálni tudjuk.

A második változat (*ábra 9b*) bár egy áramtükörön alapul, de a működése hasonló elvet követ. Az implementáláskor számos hosszú tranzisztort kellett alkalmazni, hogy elérjük a kívánt változtathatóságot ami magasabb zajt és nagyobb fogyasztást eredményezett.

## Kibővített NEF

A zaj és fogyasztás kompromisszumát jellemzi a Noise Efficiency Factor (NEF).

$$NEF = v_{in,rms} \sqrt{\frac{2I_{tot}}{\pi V_t 4kT BW}}$$

ahol  $v_{in,rms}$  a teljes bemeneti zaj, BW a -3 dB-es sávszélessége az erősítőnek és  $I_{tot}$  az átlagos áramfogyasztása az erősítőnek adott architektúrán. A NEF egy jó mérőszámot ad, ami leírja a kapcsolatot a zaj és az áramfogyasztás között, de nem mond semmit a torzításról. Ha

vesszük maximális teljes harmonikus torzítást (THD – Total Harmonic Distortion) az egész erősítési tartományon és százalékos értéké alakítjuk, akkor megszorozhatjuk a NEF-et a kapott számmal. -40 dB esetén kapjuk az eredeti értéket.

$$DNEF = NEF 20 \lg \frac{\max(THD)}{100}$$

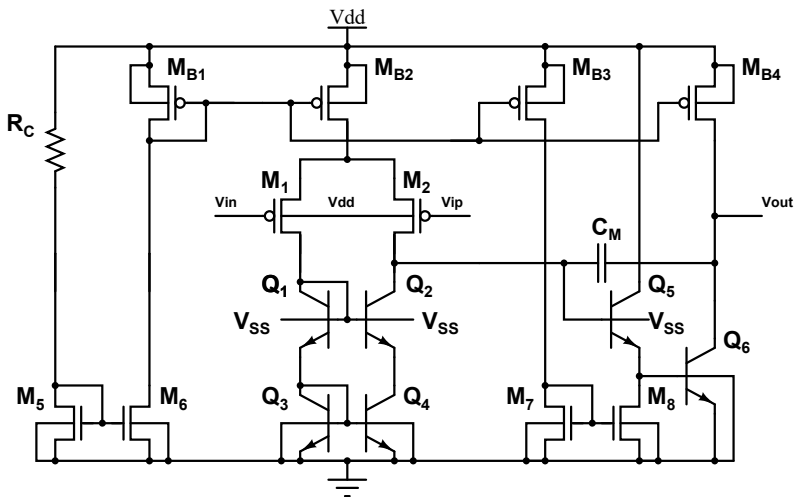
## Minimális zajú CMOS és Bi-CMOS LNA tervezése (2)

Specifikáció alapján ahhoz, hogy az elvárt  $1\mu\text{V}/\sqrt{\text{Hz}}$  zajnál kisebb értéket kapjunk, szükséges összehasonlítani a különböző technológiákat és architektúrákat. Az erősítőnek működnie kell mind a helyi mező potenciálok mind az akciós potenciálok sávjában. Annak érdekében, hogy a leginkább használható jelet tudjunk rögzíteni szükség volt a hertz alatti jelek megtartására. A hosszú időállandó elérése érdekében a tervezéskor kapuzott MOS pszeudó ellenállás-láncot használtam, így elkerülve erre a megoldásra általában jellemző nagy torzítást az LFP sávban. A felhasznált gyártás technológia elve meghatározza az áramkör által elérhető határokat. Miután elemeztem az szakirodalomban megjelent számos alacsony zajú erősítő felépítését a lehető legegyszerűbb architektúra mellett döntöttem. A





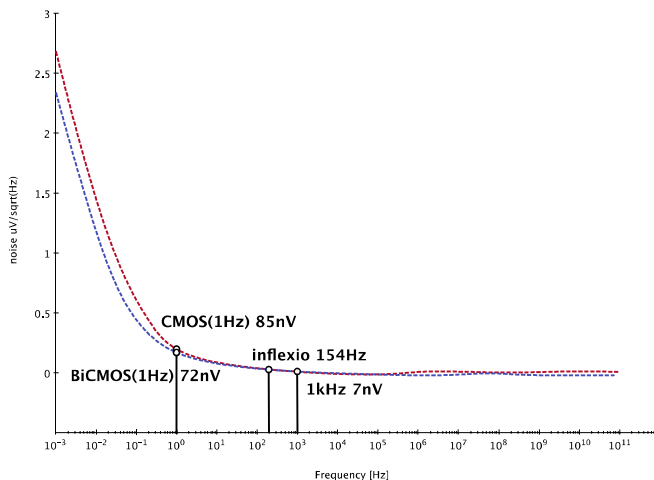
tranzisztorok cseréje bipolárisra, önmagában nem okozott jelentős változást. Szükség volt egy második erősítő fokozat közébeiktatására, hogy elkerülhessem az alacsony frekvencián jelentkező erősítés csökkenését azáltal, hogy megnöveltem a második fokozat bemeneti ellenállását. Az eredeti erősítés a következőképp számítható:  $a_{vdo} = g_{m1}(r_{o2} || r_{o4} || r_{\pi7})g_{m7}(r_{o7} || r_{ob3})$  Ha kicseréljük a terhelő tranzisztorokat ( $M_3, M_4, M_7$ ), akkor  $r_{o2}, r_{o4} \ll r_{\pi7}$  és  $a_{vdo} \approx g_{m1}r_{\pi7}g_{m7}(r_{o7} || r_{ob3})$  értéke csökkeni fog. A Bi-CMOS előnye, hogy magasabb egység erősítésű és alacsonyabb flicker zajt generál, viszont nagyobb helyet foglal és több termikus zajt ad a rendszerhez.



Ábra. 11 – Bi-CMOS OTA sémája

Annak érdekében, hogy a lehető legalacsonyabb zajú erősítőt kapjunk, optimalizálni kellett layout-ot felhasználva az interleaving, a common centroid technikákat és áltranszisztorokkal (dummy) szimmetrikusan kitölteni az egységeket. Sok fingeres és nagyméretű tranzisztorok esetén a common centroid alkalmazása végül növelte a zajt. A paraziták kifejtése után a szimuláció a CMOS verzió előnyét mutatta. Később a kísérletek is igazolták a szimulációkat. Hasonló méretű erősítők esetén a CMOS megoldás generál alacsonyabb zajt. A chip az AMS 0.35 $\mu$ m Bi-CMOS technológiájával készült. A kísérletben az erősítő közvetlenül kapcsolódott az elektródához, míg a kimenet egy távolban lévő külső erősítőre kötöttük. Méréseim alapján az egyes erősítők erősítésének átlagos eltérése tervezettől CMOS esetén 0.33 dB míg Bi-CMOS esetén 0.26 dB volt.

A tervezett és kimért CMOS és Bi-CMOS erősítők szimulált és mért paraméterei a 12-es ábrán és 1-es táblázatban láthatók. A mért bemenettel terhelt zaj  $670\text{nV}/\sqrt{\text{Hz}}$  volt 22mHz-es vágási frekvenciával, amivel túlteljesítette az előzetes elvárásainkat.



Ábra. 12 – Különbség a CMOS és Bi-CMOS erősítők zaj karakterisztikájában

Paraméterek	CMOS LNA	Bi-CMOS LNA
Tápfeszültség	1.6 V	1.6 V
Gyártási Technológia	0.35 $\mu\text{m}$ Bi-CMOS	0.35 $\mu\text{m}$ Bi-CMOS
Erősítés	40 dB	40 dB
-3 dB sávszélesség	53 (22) mHz ~ 10 (6) kHz	55 (30) mHz ~ 9.8 (6.5) kHz
Bemenettel terhelt zaj	610 (670) nV <sub>rms</sub>	777 (860) nV <sub>rms</sub>
NEF	4.4	4.2
THD	-90 dB	-94 dB
CMRR	39.6 dB	37.5 dB
PSRR	75.8 dB	77.2 dB
ICMR	2.36 V	1.92 V
SR (1 mV bemenet)	1.3 mV/ $\mu\text{s}$	1.5 mV/ $\mu\text{s}$
Fogyasztás	240 $\mu\text{W}$	220 $\mu\text{W}$

Táblázat 1 – CMOS és BiCMOS erősítő szimulált és mért (zárójelben) paramétere

## Tézis 1

- 1.1 Bebizonyítottam, hogy az általánosan használt aktív pszeudo ellenállások segítségével az extrém nagy értékű ellenállások nem valósíthatók meg, miközben alapvetően fontosak a nagyon alacsony frekvenciás RC erősítők visszacsatoló ágában történő alkalmazásához. A pszeudo ellenállások szélessávú viselkedése miatt az alacsony frekvenciákon jelentkező torzítás megakadályozza a nagy pontosságú méréseket. Ezen alacsonyfrekvenciás torzítások kérdésének elemzése a pszeudo ellenállást alkalmazó neurális erősítők esetében, a szakirodalomban ezelőtt még nem szerepelt. [A1, A4]
- 1.2 Kidolgoztam a szélessávú extrém nagy értékű és kis torzítást eredményező aktív ellenállások tervezésének módszerét. A megalkotott tervezési eljárás lényege a megfelelően méretezett és alkalmasan vezérelt pszeudo MOS ellenállások láncolása, figyelembe véve az elemek szórt parazita kapacitásait, az ellenállások torzításának minimalizálásán túl rendszerben lévő zaj optimalizálásával. [A1]

1.3 Kifejlesztettem két módszert, amik alkalmasak az előző (1.2) tézispontban szereplő ellenállás láncok önműködő kiegyenlítésére. A szimmetrián illetve az áramtükrözésen alapuló architektúrák használatával tovább csökkenthető az aktív pszeudo ellenállások által okozott torzítás. [A1]

## Tézis 2

2.1 A nagy érzékenységű neurobiológiai mérések céljára kidolgoztam egy tervezési eljárást, amellyel a laboratóriumi élő állatos mérésekhez meghatározott feltételek mellett, mint a megengedett disszipáció és méretkorlátok a legkedvezőbb bemenettel terhelt zajú erősítés valósítható meg más erősítőkkal összevethető zaj és fogyasztási koefficiens mellett. Az architektúra működését és paramétereit az Austrian Micro Systems 0.35  $\mu\text{m}$  csíkszélességű Bi-CMOS technológiával legyártott chip mérésével igazoltam. [A2, A3]

2.2 A 2.1 tézispontban kidolgozott tervezési eljárás során összevettem a CMOS és Bi-CMOS technológiák segítségével gyártható alacsony zajú erősítők paramétereit, melynek során bebizonyítottam, hogy hasonló méret és fogyasztás mellett a CMOS technológiával gyártott erősítők kisebb zajjal rendelkeznek. A teszt chip-ek gyártása az AMS 0.35  $\mu\text{m}$  technológiájával történt. [A2]

2.3 Áttanulmányozva az alacsony zajú neurális jelek erősítésével foglalkozó 1997-2015 között megjelent a témával foglalkozó vezető nemzetközi tudományos folyóiratokban megjelent több mint kétszáz cikket, megállapítottam, hogy az általam használt technológiával készült erősítőkre vonatkozó publikációs adatok alapján a kidolgozott tervezési módszerrel megvalósított erősítő ezeknél ismereteim szerint kedvezőbb zaj paraméterekkel rendelkezik. [A2]



## A tézisek alátámasztása szolgáló saját publikációk

- [A1] Z. Karasz, R. Fiath, P. Foldesy, A. Vazquaez., “Tunable Low Noise Amplifier Implementation With Low Distortion Pseudo-Resistance for in Vivo Brain Activity Measurement,” *IEEE Sensors Journal*, vol. 14, no. 5, pp. 1357-1363, 2014.
- [A2] Z. Karasz, P. Földesy, T. Molnar, I. Ulbert, “CMOS and BiCMOS Ultra Low Noise Amplifier array for brain signal measurement,” *Journal of Engineering*, – release in progress (2016)
- [A3] P. Foldesy, D. Gergelyi, Z. Karasz, C. Fuzy, “Serially connected MOS terahertz sensor array,” *38<sup>th</sup> International Conference of IEEE IRMMW-THz*, pp. 1-2, 2013.
- [A4] R. Carmona, A. Zarandy, P. Foldesy, J. Fernandez, Z. Karasz, M. Suarez, T. Roska, A. Vazquez, “A hierarchical vision processing architecture oriented to 3D integration of smart camera chips,” *Journal of Systems Architecture*, vol. 59, no. 10, pp. 908–919, 2013.

